

Patent Abstracts of Japan

PUBLICATION NUMBER : 2000106436
PUBLICATION DATE : 11-04-00

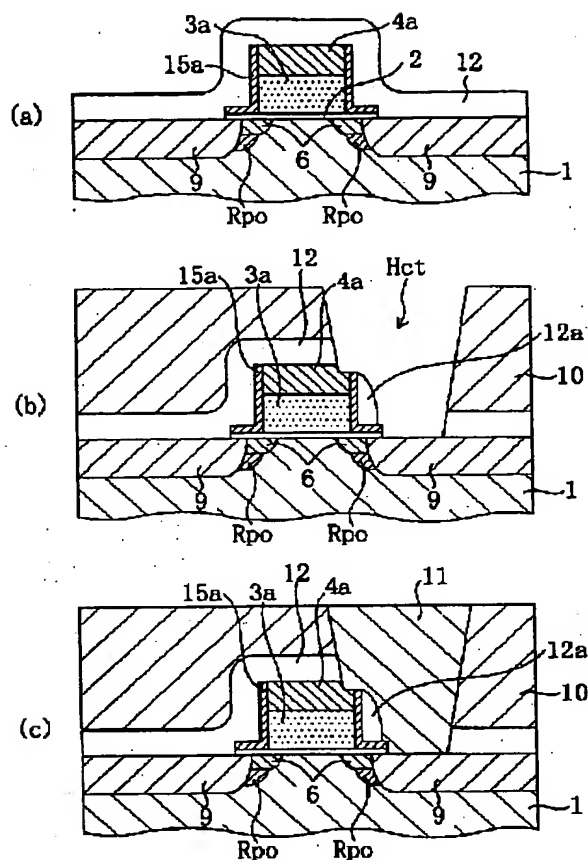
APPLICATION DATE : 23-07-99
APPLICATION NUMBER : 11208553

APPLICANT : MATSUSHITA ELECTRONICS
INDUSTRY CORP;

INVENTOR : SHIMAZAKI TOYOYUKI;

INT.CL. : H01L 29/78 H01L 21/28 H01L 21/336

TITLE : MANUFACTURE OF
SEMICONDUCTOR DEVICE



ABSTRACT : PROBLEM TO BE SOLVED: To provide a method of manufacturing a semiconductor device, which causes no short-circuit between a gate electrode and a contact member and can also meet to miniaturization of the device.

SOLUTION: A gate insulating film 2, a gate electrode 3a and a protective layer 4a on a gate are formed on an Si substrate 1 and thereafter, lightly doped source and drain regions 6 are formed on the substrate 1. A first sidewall 15a and a second sidewall are respectively formed on the side surfaces of the electrode 3a and after that, heavily doped source and drain regions 9 are formed on the substrate 1 by an ion implantation method using these sidewalls as masks. After the second sidewall is selectively removed, pocket implanted regions Rpo are formed in the substrate 1 and an entire surface protective film 12 is deposited. After that, deposition of an interlayer insulating film 10, formation of a contact hole Hct to reach the drain region 9 and formation of a plug electrode 11 are conducted. As the second sidewall is removed at the time of deposition of the film 12, the part between the electrode 3a and the film 12 is not filled with the film 12.

COPYRIGHT: (C)2000,JPO

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-106436

(P2000-106436A)

(43) 公開日 平成12年4月11日 (2000.4.11)

(51) Int.Cl.⁷

識別記号

F i

テ-マ-コード (参考)

H 0 1 L 29/78
21/28
21/336H 0 1 L 29/78
21/28
29/783 0 1 X
L
3 0 1 P

審査請求 有 請求項の数10 O L (全 13 頁)

(21) 出願番号 特願平11-208553

(22) 出願日 平成11年7月23日 (1999.7.23)

(31) 優先権主張番号 特願平10-212156

(32) 優先日 平成10年7月28日 (1998.7.28)

(33) 優先権主張国 日本 (J P)

(71) 出願人 000005843

松下電子工業株式会社

大阪府高槻市幸町1番1号

(72) 発明者 赤松 晋

大阪府高槻市幸町1番1号 松下電子工業株式会社内

(72) 発明者 日比 紀孝

大阪府高槻市幸町1番1号 松下電子工業株式会社内

(74) 代理人 100077931

弁理士 前田 弘 (外1名)

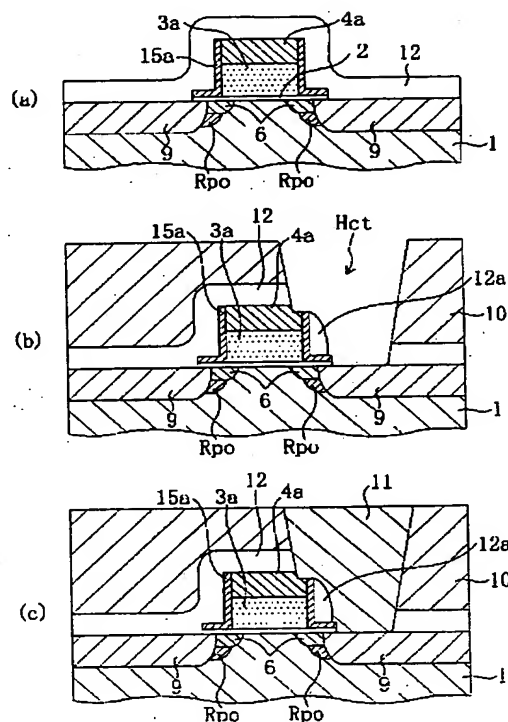
最終頁に続く

(54) 【発明の名称】 半導体装置の製造方法

(57) 【要約】

【課題】 ゲート電極とコンタクト部材との短絡のない、かつ、微細化にも対応しうる半導体装置の製造方法を提供する。

【解決手段】 Si基板1上に、ゲート絶縁膜2、ゲート電極3a、ゲート上保護層4aを形成した後、低濃度ソース・ドレイン領域6を形成する。ゲート電極3aの側面上に第1サイドウォール15aと、第2サイドウォール16aを形成した後、これをマスクとして用いるイオン注入により、高濃度ソース・ドレイン領域9を形成する。第2サイドウォール16aを選択的に除去した後、ポケット注入領域Rpoを形成し、全面保護膜12を堆積する。その後、層間絶縁膜10の堆積と、高濃度ソース・ドレイン領域9に到達するコンタクトホールHctの形成と、プラグ電極11の形成とを行なう。全面保護膜12の堆積時には第2サイドウォールが除去されているので、ゲート電極3a間が埋まらない。



【特許請求の範囲】

【請求項1】 半導体基板上に、ゲート絶縁膜、ゲート電極及びゲート上保護層を形成する工程（a）と、上記ゲート電極及びゲート上保護層をマスクとして、上記半導体基板内に低濃度不純物拡散領域を形成するためのイオン注入を行なう工程（b）と、

基板上に、第1の絶縁膜と、該第1の絶縁膜に対して選択エッチングが可能なマスク用膜とを堆積する工程（c）と、

上記第1の絶縁膜及びマスク用膜の異方性エッチングを行なって、上記ゲート電極及びゲート上保護層の側面上に上記第1の絶縁膜の一部を残して第1のサイドウォールを形成するとともに、上記第1のサイドウォールの側面上に上記マスク用膜の一部を残して第2のサイドウォールを形成する工程（d）と、

上記ゲート上保護層、ゲート電極及び各サイドウォールをマスクとして、上記半導体基板内に高濃度不純物拡散領域を形成するためのイオン注入を行なう工程（e）と、

上記工程（e）の後、上記第1のサイドウォールを残して第2のサイドウォールを選択的に除去する工程（f）と、

上記工程（f）の後、基板上に、少なくとも上記ゲート上保護層及び第1サイドウォールを覆う第2の絶縁膜を堆積する工程（g）と、

上記工程（g）の後、基板上に、上記第2の絶縁膜に対して選択エッチングが可能な材料からなる層間絶縁膜を堆積する工程（h）と、

エッチングにより、上記層間絶縁膜に、上記高濃度不純物拡散領域に達する開口を形成する工程（i）と、

上記開口に導電性材料からなるプラグ電極を埋め込む工程（j）とを備えている半導体装置の製造方法。

【請求項2】 請求項1記載の半導体装置の製造方法において、

上記工程（c）では、上記第1の絶縁膜としてNSG膜を、上記マスク用膜としてPSG膜またはBPSG膜をそれぞれ形成することを特徴とする半導体装置の製造方法。

【請求項3】 請求項2記載の半導体装置の製造方法において、

上記工程（f）は、HF気相エッチングにより行なわれることを特徴とする半導体装置の製造方法。

【請求項4】 請求項1～3のうちのいずれ1つに記載の半導体装置の製造方法において、

上記工程（f）の後で上記工程（g）の前に、ゲート上保護層、ゲート電極及び第1のサイドウォールをマスクとして、上記半導体基板内にポケット注入領域を形成するためのイオン注入を行なう工程をさらに備えていることを特徴とする半導体装置の製造方法。

【請求項5】 請求項1～4のうちのいずれか1つに記載

の半導体装置の製造方法において、

上記工程（e）の後で上記工程（f）の前に、

基板上に、非シリサイド化領域のマスクとなる保護膜を形成する工程と、

上記保護膜をマスクとして、上記高濃度不純物拡散領域の下方にリーク防止用低濃度不純物拡散領域を形成する工程と、

上記保護膜のうち非シリサイド化領域を覆う部分を残して、シリサイド化領域を覆う部分を選択的に除去する工程と、

上記高濃度不純物拡散領域の表面部にシリサイド層を形成する工程とを行なうことを特徴とする半導体装置の製造方法。

【請求項6】 半導体基板上に、ゲート絶縁膜、ゲート電極及びゲート上保護層を形成する工程（a）と、

基板上に、第1の絶縁膜と該第1の絶縁膜に対して選択エッチングが可能なマスク用膜とを堆積する工程（b）と、

上記第1の絶縁膜及びマスク用膜の異方性エッチングを行なって、上記ゲート電極及びゲート上保護層の側面上に上記第1の絶縁膜の一部を残して第1のサイドウォールを形成するとともに、上記第1のサイドウォールの側面上に上記マスク用膜の一部を残して第2のサイドウォールを形成する工程（c）と、

上記ゲート上保護層、ゲート電極及び各サイドウォールをマスクとして、上記半導体基板内に高濃度不純物拡散領域を形成するためのイオン注入を行なう工程（d）と、

上記工程（d）の後、上記第1のサイドウォールを残して第2のサイドウォールを選択的に除去する工程（e）と、

上記ゲート電極、ゲート上保護層及び上記第1のサイドウォールをマスクとして、上記半導体基板内に低濃度不純物拡散領域を形成するためのイオン注入を行なう工程（f）と、

上記工程（f）の後、基板上に、少なくとも上記ゲート上保護層及び第1サイドウォールを覆う第2の絶縁膜を堆積する工程（g）と、

上記工程（g）の後、基板上に、上記第2の絶縁膜に対して選択エッチングが可能な材料からなる層間絶縁膜を堆積する工程（h）と、

エッチングにより、上記層間絶縁膜に、上記高濃度不純物拡散領域に達する開口を形成する工程（i）と、

上記開口に導電性材料からなるプラグ電極を埋め込む工程（j）とを備えている半導体装置の製造方法。

【請求項7】 請求項6記載の半導体装置の製造方法において、

上記工程（b）では、上記第1の絶縁膜としてNSG膜を、上記マスク用膜としてPSG膜またはBPSG膜をそれぞれ形成することを特徴とする半導体装置の製造方

法。

【請求項8】 請求項7記載の半導体装置の製造方法において、

上記工程(e)は、HF気相エッチングにより行なわれることを特徴とする半導体装置の製造方法。

【請求項9】 請求項6～8のうちいずれ1つに記載の半導体装置の製造方法において、

上記工程(c)の後で上記工程(g)の前に、ゲート上保護層、ゲート電極及び第1のサイドウォールをマスクとして、上記半導体基板内にポケット注入領域を形成するためのイオン注入を行なう工程をさらに備えていることを特徴とする半導体装置の製造方法。

【請求項10】 請求項6～9のうちいずれか1つに記載の半導体装置の製造方法において、

上記工程(d)の後で上記工程(f)の前に、基板上に、非シリサイド化領域のマスクとなる保護膜を形成する工程と、

上記保護膜をマスクとして、上記高濃度不純物拡散領域の下方にリーク防止用低濃度不純物拡散領域を形成する工程と、

上記保護膜のうち非シリサイド化領域を覆う部分を残して、シリサイド化領域を覆う部分を選択的に除去する工程と、

上記高濃度不純物拡散領域の表面部にシリサイド層を形成する工程とを行なうことを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、セルフアラインコンタクトを有する半導体装置の製造方法に関するものである。

【0002】

【従来の技術】最近、MOSトランジスタのソース・ドレイン領域へのコンタクト部材を形成するに際し、素子の高密度化に対応して、セルフアラインコンタクト構造いわゆるSAC構造が使用され始めている。これは、LDD構造の形成に用いたサイドウォールを、コンタクトをセルフアラインで形成する時のエッチングストッパーとしても用いようとするものである。

【0003】図7a～図7dは、従来の一般的なセルフアラインコンタクト構造を有するMOSトランジスタの製造方法を示す断面図である。最近のようにトランジスタの微細化が進んでくると、トランジスタの構造としてはいわゆるLDD構造が用いられ、その製造方法としては、ゲート電極の側面上にサイドウォールを形成し、さらに、このサイドウォールをマスクとするイオン注入により高濃度のソース・ドレイン領域を形成するのが一般的である。

【0004】まず、図7aに示す工程で、半導体基板101上に、熱酸化膜からなるゲート酸化膜102、ゲ-

ート電極用ポリシリコン膜103及びシリコン窒化膜104を順次形成した後、ゲートパターンニング用のレジスト膜105を形成する。

【0005】次に、図7bに示す工程で、レジスト膜105をエッチングマスクとして用い、シリコン窒化膜104及びポリシリコン膜103を順次エッチングして、ゲート上保護層104a及びゲート電極103aを形成した後、このゲート電極103aなどをマスクとして半導体基板101内に不純物(nチャネル型MOSトランジスタにおいてはリン又は砒素、pチャネル型MOSトランジスタにおいてはボロン)のイオン注入を行なって、低濃度ソース・ドレイン領域106を形成する。その後、基板上にCVD酸化膜107及びCVD窒化膜108を堆積する。

【0006】次に、図7cに示す工程で、CVD酸化膜107及びCVD窒化膜108の異方性ドライエッチングを行うことにより、ゲート電極103aの側面上に酸化膜サイドウォール107aと、窒化膜サイドウォール108aとを形成する。

【0007】次に、図7dに示す工程で、ゲート電極103a、酸化膜サイドウォール107a及び窒化膜サイドウォール108aをマスクとして、不純物(nチャネル型MOSトランジスタにおいてはリン又は砒素、pチャネル型MOSトランジスタにおいてはボロン)のイオン注入を行なって、高濃度ソース・ドレイン領域109を形成し、これによりLDD構造のMOSトランジスタが完成する。

【0008】セルフアラインコンタクト技術とは、以上の工程で形成された窒化膜サイドウォール108aをコンタクトホール形成時のエッチングストッパーとして用いることにより、ゲート電極とコンタクト部材との接触を防止するものである。

【0009】図8は、コンタクト部材を形成したときのMOSトランジスタの断面状態の例を示す断面図である。図8に示すように、図7dで形成されたLDD構造のMOSトランジスタの上に、シリコン酸化膜からなる層間絶縁膜110を堆積した後、層間絶縁膜110の平坦化を行なう。そして、フォトリソグラフィ及びエッチングを行なって、層間絶縁膜110に高濃度ソース・ドレイン領域109に到達するコンタクトホールを形成する。この時、コンタクトホールの一部がゲート上保護層104aや窒化膜サイドウォール108aに干渉しても、シリコン酸化膜からなる層間絶縁膜110と、シリコン窒化膜からなるゲート上保護層104aや窒化膜サイドウォール108aとのエッチング選択比が高いので、ゲート上保護層104aや窒化膜サイドウォール108aはほとんどエッチングされない。つまり、これらがコンタクトホール形成時におけるエッチングストッパーとして機能することで、ゲート電極103aが保護される。その後、コンタクトホールにプラグ電極111を

埋め込んで、さらに配線層（図示せず）をその上に形成する。

【0010】このように、窒化膜サイドウォール108aは、SAC構造及びLDD構造を有するMOSトランジスタの製造工程において、高濃度ソース・ドレイン領域109を形成するためのイオン注入のマスクとして用いられるとともに、セルフアラインコンタクト形成時のゲート電極103aを保護するエッチングストッパーとしても用いられている。ただし、窒化膜サイドウォール108aをゲート電極103aの側面に直接接触させるとトランジスタの特性を劣化させることが分かっているため、ゲート電極103aと窒化膜サイドウォール108aとの間に薄い酸化膜サイドウォール107aを介在させている。

【0011】ところで、図8に示すようにコンタクトホールがゲート電極103aの上方にまで達するような位置に形成される場合、酸化膜サイドウォール107aの上端面がコンタクトホール内に露出する。そして、この酸化膜サイドウォール107aがエッチングされると、ゲート上保護層104aと窒化膜サイドウォール108aとの間隙部が掘り進められてコンタクトホールがゲート電極103aに達するおそれがある。これは、コンタクト部材であるプラグ電極111とゲート電極103aとが電気的に短絡することを意味する。

【0012】その対策としては、図9a、図9bに示すように、図7a～図7dに示す工程によってMOSトランジスタを形成した後、MOSトランジスタを厚めのCVD窒化膜112によって覆い、基板の全面上に層間絶縁膜110を形成してからこの層間絶縁膜110にコンタクトホールを形成することが行なわれている。この場合には、図9bに示す状態で、コンタクトホールが層間絶縁膜110を貫通するまではCVD窒化膜112によってエッチングの進行が阻止されているので、コンタクトホールがゲート電極103aに達するのを確実に防止できる。

【0013】

【発明が解決しようとする課題】しかしながら、上記従来のSAC構造を有する半導体装置の製造工程においては、以下のような不具合があった。

【0014】すなわち、図10に示すように、比較的厚めのCVD窒化膜112を堆積することにより、相隣接するMOSトランジスタのゲート電極103a同士の間隙がCVD窒化膜112によって埋められてしまうおそれがあった。特に、最近のように、ゲート長が0.15 μ m程度で、ゲートのピッチが0.4 μ m程度になると、ゲート間の間隔は0.25 μ m程度になり、酸化膜サイドウォールの厚みと窒化膜サイドウォールの厚みとを考慮すると、両者間の間隙はきわめて小さくなるので、この不具合が生じる確率が高くなる傾向にある。そして、図10に示すようにCVD窒化膜112によって

埋められたゲート間の間隙の下方にあるソース・ドレイン領域109に到達するコンタクトホールを開口するのは、他の部材への悪影響を考慮すると実質上困難であった。

【0015】本発明の目的は、いわゆるSAC構造を有するMISトランジスタとして機能する半導体装置において、信頼性を維持しつつセルフアラインコンタクトの形成を確保しうる手段を講ずることにより、微細化に適したSAC構造の半導体装置の製造方法の提供を図ることにある。

【0016】

【課題を解決するための手段】本発明の半導体装置の製造方法は、半導体基板上に、ゲート絶縁膜、ゲート電極及びゲート上保護層を形成する工程（a）と、上記ゲート電極及びゲート上保護層をマスクとして、上記半導体基板内に低濃度不純物拡散領域を形成するためのイオン注入を行なう工程（b）と、基板上に、第1の絶縁膜と該第1の絶縁膜に対して選択エッチングが可能なマスク用膜とを堆積する工程（c）と、上記第1の絶縁膜及びマスク用膜の異方性エッチングを行なって、上記ゲート電極及びゲート上保護層の側面上に上記第1の絶縁膜の一部を残して第1のサイドウォールを形成するとともに、上記第1のサイドウォールの側面上に上記マスク用膜の一部を残して第2のサイドウォールを形成する工程（d）と、上記ゲート上保護層、ゲート電極及び各サイドウォールをマスクとして、上記半導体基板内に高濃度不純物拡散領域を形成するためのイオン注入を行なう工程（e）と、上記工程（e）の後、上記第1のサイドウォールを残して第2のサイドウォールを選択的に除去する工程（f）と、上記工程（f）の後、基板上に、少なくとも上記ゲート上保護層及び第1サイドウォールを覆う第2の絶縁膜を堆積する工程（g）と、上記工程（g）の後、基板上に、上記第2の絶縁膜に対して選択エッチングが可能な材料からなる層間絶縁膜を堆積する工程（h）と、エッチングにより、上記層間絶縁膜に、上記高濃度不純物拡散領域に達する開口を形成する工程（i）と、上記開口に導電性材料からなるプラグ電極を埋め込む工程（j）とを備えている。

【0017】この方法により、工程（e）においては、第2のサイドウォールが存在しているので、低濃度不純物拡散領域とはオフセットした位置に高濃度不純物拡散領域を形成でき、いわゆるLDD構造のMISトランジスタが得られる。一方、工程（g）においては、第2のサイドウォールが存在していないので、相隣接するトランジスタのゲート電極同士の間隙が十分広く確保されており、その間隙が第2の絶縁膜によって埋められるのを抑制することができる。よって、半導体装置が微細化された場合でも、いわゆるSAC構造を有しつつ、第2の絶縁膜の存在による信頼性の高い半導体装置を形成することができる。

【0018】上記半導体装置の製造方法において、上記工程(c)では、上記第1の絶縁膜としてNSG膜を、上記マスク用膜としてPSG膜またはBPSG膜をそれぞれ形成することにより、半導体装置の動作領域に応力を生ぜしめるなどの悪影響を及ぼすことなく、第1のサイドウォールと第2のサイドウォールとのエッチング選択比を確保することができる。

【0019】その場合には、上記工程(f)を、HF気相エッチングにより行なうことにより、高いエッチング選択比によって第2のサイドウォールのみを確実に除去することができる。

【0020】上記半導体装置の製造方法において、上記工程(f)の後で上記工程(g)の前に、ゲート上保護層、ゲート電極及び第1のサイドウォールをマスクとして、上記半導体基板内にポケット注入領域を形成するためのイオン注入を行なう工程をさらに備えることにより、パンチスルー防止機能の高い半導体装置を形成することができる。

【0021】上記半導体装置の製造方法において、上記工程(e)の後で上記工程(f)の前に、基板上に、非シリサイド化領域のマスクとなる保護膜を形成する工程と、上記保護膜をマスクとして、上記高濃度不純物拡散領域の下方にリーク防止用低濃度不純物拡散領域を形成する工程と、上記保護膜のうち非シリサイド化領域を覆う部分を残して、シリサイド化領域を覆う部分を選択的に除去する工程と、上記高濃度不純物拡散領域の表面部にシリサイド層を形成する工程とを行なうことにより、シリサイド工程を行なうときのマスクとなる保護膜を利用して、リーク防止用低濃度不純物拡散領域を形成することができる。そして、このリーク防止用低濃度不純物拡散領域により、リーク電流が低減されるだけでなく、接合容量も低減されるので、シリサイド層によるシート抵抗の低減と相俟って、動作速度の高い半導体装置が得られることになる。

【0022】本発明の第2の半導体装置の製造方法は、半導体基板上に、ゲート絶縁膜、ゲート電極及びゲート上保護層を形成する工程(a)と、基板上に、第1の絶縁膜と該第1の絶縁膜に対して選択エッチングが可能なマスク用膜とを堆積する工程(b)と、上記第1の絶縁膜及びマスク用膜の異方性エッチングを行なって、上記ゲート電極及びゲート上保護層の側面上に上記第1の絶縁膜の一部を残して第1のサイドウォールを形成するとともに、上記第1のサイドウォールの側面上に上記マスク用膜の一部を残して第2のサイドウォールを形成する工程(c)と、上記ゲート上保護層、ゲート電極及び各サイドウォールをマスクとして、上記半導体基板内に高濃度不純物拡散領域を形成するためのイオン注入を行なう工程(d)と、上記工程(d)の後、上記第1のサイドウォールを残して第2のサイドウォールを選択的に除去する工程(e)と、上記ゲート電極、ゲート上保護層

及び上記第1のサイドウォールをマスクとして、上記半導体基板内に低濃度不純物拡散領域を形成するためのイオン注入を行なう工程(f)と、上記工程(f)の後、基板上に、少なくとも上記ゲート上保護層及び第1サイドウォールを覆う第2の絶縁膜を堆積する工程(g)と、上記工程(g)の後、基板上に、上記第2の絶縁膜に対して選択エッチングが可能な材料からなる層間絶縁膜を堆積する工程(h)と、エッチングにより、上記層間絶縁膜に、上記高濃度不純物拡散領域に達する開口を形成する工程(i)と、上記開口に導電性材料からなるプラグ電極を埋め込む工程(j)とを備えている。

【0023】この方法によっても、第1の半導体装置の製造方法と基本的に同じ作用効果が得られる。加えて、この方法の場合には、高濃度不純物拡散領域を形成してから低濃度不純物拡散領域を形成するので、高濃度不純物拡散領域の不純物活性化のための熱処理を高温条件で行なって高濃度不純物拡散領域を十分深くして接合容量を低減しつつ、低濃度拡散領域の不純物活性化のための熱処理を低温条件又は高温であっても短時間処理で行なって、短チャネル効果の抑制を図ることが可能となる。

【0024】第2の半導体装置の製造方法においても、第1の半導体装置の製造方法と同様の付加的事項を設けることができる。

【0025】

【発明の実施の形態】以下、本発明の実施の形態について、図面を参照しつつ説明する。

【0026】(第1の実施形態)図1a～図1dは、本発明の第1の実施形態における半導体装置であるNチャネル型MISトランジスタの製造工程を示す断面図である。なお、Pチャネル型MISトランジスタにおいても、MISトランジスタの各部にドーパされる不純物の導電型が異なるだけであり、基本的には図1a～図1dに示す工程と同じ工程を行なう。

【0027】まず、図1aに示す工程で、Si基板1上に、素子分離領域(図示せず)を形成した後、以下の工程によって、素子分離領域によって囲まれる活性領域にMISトランジスタを形成するための工程を行なう。まず、熱酸化工程を行なってSi基板1の主面上に厚みが約3nmのシリコン酸化膜を形成した後、窒化処理を行なって酸窒化シリコンからなるゲート絶縁膜2を形成する。そして、ゲート絶縁膜2の上に、ポリシリコンからなるゲート電極3aと、窒化シリコンからなるゲート上保護層4aとを形成する。このとき、図示しないが、上記従来の技術において説明した図7aに示す工程と同じ工程を行なう。すなわち、ポリシリコン膜及びシリコン窒化膜を堆積した後に、フォトリソグラフィ及びドライエッチングを行なうことにより、ポリシリコン膜及びシリコン窒化膜をパターンニングしてゲート電極3a及びゲート上保護層4aを形成する。

【0028】なお、ゲート電極3aには、N型不純物

(Pチャネル型MISトランジスタにはP型不純物)がドーパされている。

【0029】その後、ゲート電極3a及びゲート上保護層4aをマスクとして、リンイオン(P⁺)を、傾き角7〜40°、注入エネルギー20〜30keV、ドーズ量約 $5 \times 10^{13}/\text{cm}^2$ の条件で注入して、低濃度ソース・ドレイン領域6を形成する。なお、低濃度ソース・ドレイン領域6に代えてエクステンション領域を形成してもよく、その場合には、砒素イオン(As)を、注入エネルギー10〜20keV、ドーズ量 $5 \times 10^{13}/\text{cm}^2$ の条件で注入する。

【0030】次に、図1bに示す工程で、基板の全面上に、厚みが10〜20nmの薄いノンドーパ酸化膜15(例えばNSG膜)と、厚みが40〜60nmのドーパ酸化膜16(BPSG膜、PSG膜、BSG膜など)とを順に堆積する。

【0031】次に、図1cに示す工程で、異方性エッチングを行って、ゲート電極3aの側面上に第1サイドウォール15aと、第2サイドウォール16aとを形成する。そして、ゲート電極3a、ゲート上保護層4a及び各サイドウォール15a、16aをマスクとして、砒素イオンを、傾き角7°、注入エネルギー30〜50keV、ドーズ量 $3 \sim 5 \times 10^{15}/\text{cm}^2$ の条件で注入して、高濃度ソース・ドレイン領域9を形成する。

【0032】なお、第1サイドウォール15aと第2サイドウォール16aとの間に薄い窒化膜を介在させてもよい。また、第1サイドウォール15a及び第2サイドウォール16aの材質は、本実施形態の材質に限定されるものではなく、次の工程で第2のサイドウォール16aを選択的に除去できるものであればよい。

【0033】次に、図1dに示す工程で、第1サイドウォール15aを残して、第2サイドウォール16aのみを選択的に除去する。その際、HFの気相エッチングを行なうことにより、選択エッチングを容易に行なうことができる。すなわち、HFの気相エッチングにおいては、BPSG膜等のドーパ酸化膜に対するエッチング速度がNSG膜等のノンドーパ酸化膜に対するエッチング速度よりも2桁程度速いので、ドーパ酸化膜を選択的にエッチング除去することが可能となる。なお、このとき、オーバーエッチング量によっても異なるが、ゲート絶縁膜2のうち基板上に露出している部分は除去されることが多い。

【0034】その後、ゲート電極3a、ゲート上保護層4a及び第1サイドウォール15aをマスクとして、ボロンイオン(又はフッ化ボロンイオン)を、傾き角20〜40°、注入エネルギー10〜50keV、ドーズ量 $1 \sim 5 \times 10^{13}/\text{cm}^2$ の条件で注入し、パンチスルーストップパ用のポケット注入領域Rpoを形成する。なお、このポケット注入領域Rpoは、必ずしも必要ではない。

【0035】その後、各領域6、9、Rpoにドーパされた不純物を活性化するために、900〜1000℃、10〜30secの条件でRTA処理を行なう。

【0036】その後、図2a〜図2cに示す手順によってセルフアラインコンタクトの工程を行なう。なお、ここにいう“セルフアラインコンタクト”とは、ゲート電極形成用マスクと、コンタクトホールを形成するためのマスクとの位置ズレを考慮したマージンを設けないことをいう。

【0037】まず、図2aに示す工程で、CVD法により、基板の全面上に窒化シリコンからなる厚みが30〜50nmの全面保護膜12を堆積する。このとき、全面保護膜12の材料として、窒化シリコンに代えて、後に形成される層間絶縁膜とのエッチング選択比の高い他の絶縁性材料を用いることもできる。

【0038】次に、図2bに示す工程で、基板の全面上に層間絶縁膜10を堆積して、層間絶縁膜10の平坦化を行った後、フォトリソグラフィ及びドライエッチングにより、層間絶縁膜10及び全面保護膜12を貫通して高濃度ソース・ドレイン領域9に到達するコンタクトホールHctを形成する。この時、コンタクトホールHctが全面保護膜12の一部に達して当該一部が露出すると、層間絶縁膜10とはエッチング選択比の高い全面保護膜12がエッチングストップパの機能を果たす。層間絶縁膜10の除去が終了すると、エッチングガスを切り替えて全面保護膜12の除去を行なう。これにより、ゲート電極3aに対してセルフアラインのコンタクトホールHctを形成することができる。なお、図2bは、マスクのズレが大きい場合にコンタクトホールHctがゲート上保護層4aに接触した状態を示している。なお、第1サイドウォール15aのうちコンタクトホールHct内にさらされた部分の側面上には、全面保護膜12の一部が残存してサイドウォール12aとなっている。

【0039】その後、図2cに示す工程で、コンタクトホールHct内にW、Al等の金属を埋め込んで、プラグ電極11を形成する。

【0040】その後の工程の図示は省略するが、層間絶縁膜10及びプラグ電極11の上に金属配線層を形成し、さらに、必要に応じて第2層目の層間絶縁膜、第2配線層、…などを形成して、多層配線層を設けるのが一般的である。

【0041】本実施形態の製造方法によると、図2bに示す工程において、層間絶縁膜10を貫通してソース・ドレイン領域に到達するコンタクトホールHctを形成する際に、全面保護膜12がゲート電極3a及び第1サイドウォール15aの上方を完全に覆っているため、第1サイドウォール15aが除去されてコンタクトホールHctがゲート電極3aに達することはない。すなわち、コンタクトホールHctが層間絶縁膜10を貫通して全面保護膜12の一部に達すると、層間絶縁膜10とのエッチ

ング選択比の高い全面保護膜12がエッチングストッパーとして機能する。したがって、層間絶縁膜10の除去が終了するまでに、全面保護膜12のうちすでに露出している部分は多少エッチングされるが、そのエッチング量はわずかであるために、コンタクトホールHetが全面保護膜12を貫通してゲート上保護層4aや第1サイドウォール15aに到達することはない。また、コンタクトホールHetが全面保護膜12を貫通した後は、オーバーエッチングの分だけゲート上保護層4aや第1サイドウォール15aが部分的に除去されるがその除去量はわずかである。

【0042】上述の効果は、図9a、図9bに示す従来の半導体装置の製造方法とはほぼ同様である。しかし、本実施形態では、従来の半導体装置の製造方法とは異なり、相隣接するゲート電極間の間隙を全面保護膜が埋めるのを有効に防止することができている。

【0043】図3は、2つのMISトランジスタのゲート電極3a間の間隙がきわめて小さい場合の状態を示す断面図である。本実施形態においては、図10に示す窒化膜サイドウォール108aに相当する第2サイドウォール16aが除去されているので、ゲート電極3a間の間隙はその分広くなっている。従って、この間隙が全面保護膜12によって埋められてしまうことはない。たとえば、ゲート長が0.15 μ mでゲート電極のピッチが0.4 μ mである場合、相隣接するゲート電極3a同士の間隙は、0.25 μ mである。この条件で、第1サイドウォール15aの厚みが高々20nmであると、この間隙は0.21 μ mであるので、厚みが高々50nmである全面保護膜12を堆積しても、相隣接するゲート電極3a同士の間隙が全面保護膜12によって埋められてしまうことはない。

【0044】すなわち、相隣接するMISトランジスタのゲート電極3a同士の間隙に存在する共通のソース・ドレイン領域9に対しても、それ以外の部分に存在するソース・ドレイン領域9へのコンタクトホールと同様に、確実にコンタクトホールを形成することができる。

【0045】なお、ポケット注入領域Rpoは必ずしも必要ではない。しかし、ポケット注入領域Rpoを設けることによってパンチスルーを効果的に抑制できるために、一般にLDD構造のMISトランジスタにはポケット注入領域を設けることが多い。その場合、従来の製造工程では、図7b又は図7dに示す工程でポケット注入領域形成のためのイオン注入を行なうことになるが、イオン注入の角度と注入エネルギーの差だけで、低濃度ソース・ドレイン領域や高濃度ソース・ドレイン領域との区分けを行なう必要がある。それに対し、本実施形態では、第1サイドウォール15aのみをマスクとすることで、低濃度ソース・ドレイン領域6（又はエクステンション領域）や高濃度ソース・ドレイン領域9との区分けをすることが容易となる利点がある。

【0046】なお、本発明において、全面保護膜12は、層間絶縁膜10に対するエッチング選択比の高い材料により構成されている必要がある。一般に、層間絶縁膜には不純物がドーパされたシリコン酸化膜、たとえばBPSG膜が使用される。したがって、本発明における全面保護膜12としては、BPSG膜とのエッチング選択比の高いシリコン窒化膜を用いることが好ましい。ただし、層間絶縁膜10とのエッチング選択比を確保できる限り、NSG膜、シリコン酸化膜など、他の絶縁膜の使用も可能である。後述する第2、第3の実施形態においても同様である。

【0047】また、第1サイドウォール15aは、ゲート電極3aやSi基板1に対して応力を生ぜしめない材料によって構成されている必要があり、第2サイドウォール16aは、第1サイドウォール15aや、ゲート絶縁膜2又はSi基板1とのエッチングの選択比の高い材料によって構成されている必要がある。

【0048】従って、本実施形態における組み合わせのほかに、第1サイドウォール15aをシリコン酸化膜（ノンドーパ酸化膜又はドーパ酸化膜のいずれでもよい）から形成し、第2サイドウォールをシリコン窒化膜、ポリシリコン膜、金属膜、有機膜、カーボン膜などから形成する組み合わせも採用することができる。また、第1、第2サイドウォール15a、16aの双方をシリコン酸化膜から形成する場合でも、不純物の濃度が一方が高く一方が低ければエッチング選択比を大きく確保することができる。ただし、第1サイドウォール15aがゲート絶縁膜2に接することを考慮すると、第1サイドウォール15aのほうが不純物濃度の低いシリコン酸化膜から形成されていることが好ましい。後述する第2、第3の実施形態においても同様である。

【0049】また、ゲート上保護層4aは、絶縁性材料であればよく、層間絶縁膜10とのエッチング選択比が高いことは必ずしも必要でない。ただし、全面保護膜12と層間絶縁膜10とのエッチング選択比が高くても、厚い層間絶縁膜10を貫通し終わるまでに、全面保護膜12のうちゲート上保護層4aの直上部分が除去されてしまうこともあり得ることを考慮すると、ゲート上保護層4aは層間絶縁膜10とのエッチング選択比が高い材料で構成されていることが好ましい。したがって、ゲート上保護層の材質としては窒化シリコンが好ましい。後述する第2、第3の実施形態においても同様である。

【0050】（第2の実施形態）図4a～図4dは、本発明の第2の実施形態における半導体装置であるNチャネル型MISトランジスタの製造工程を示す断面図である。なお、Pチャネル型MISトランジスタにおいても、MISトランジスタの各部にドーパされる不純物の導電型が異なるだけであり、基本的には図4a～図4dに示す工程と同じ工程を行なう。

【0051】まず、図4aに示す工程で、Si基板1上

に、素子分離領域（図示せず）を形成した後、以下の工程によって、素子分離領域によって囲まれる活性領域にMISトランジスタを形成するための工程を行なう。まず、熱酸化工程を行なってSi基板1の主面上に厚みが約3nmのシリコン酸化膜を形成した後、窒化処理を行なって酸窒化シリコンからなるゲート絶縁膜2を形成する。そして、ゲート絶縁膜2の上に、ポリシリコンからなるゲート電極3aと、窒化シリコンからなるゲート上保護層4aとを形成する。このとき、図示しないが、上記従来の技術において説明した図7aに示す工程と同じ工程を行なう。すなわち、ポリシリコン膜及びシリコン窒化膜を堆積した後に、フォトリソグラフィ及びドライエッチングを行なうことにより、ポリシリコン膜及びシリコン窒化膜をパターニングしてゲート電極3a及びゲート上保護層4aを形成する。なお、ゲート電極3aには、N型不純物（Pチャネル型MISトランジスタにはP型不純物）がドーパされている。

【0052】次に、図4bに示す工程で、基板の全面上に、厚みが10～20nmの薄いノンドープ酸化膜15（例えばNSG膜）と、厚みが40～60nmのドーフト酸化膜16（BPSG膜、PSG膜、BSG膜など）とを順に堆積する。

【0053】次に、図4cに示す工程で、異方性エッチングを行って、ゲート電極3aの側面上に第1サイドウォール15aと、第2サイドウォール16aとを形成する。そして、ゲート電極3a、ゲート上保護層4a及び各サイドウォール15a、16aをマスクとして、砒素イオンを、傾き角7°、注入エネルギー30～50keV、ドーズ量3～5×10¹⁵/cm²の条件で注入して、高濃度ソース・ドレイン領域9を形成する。その後、高濃度ソース・ドレイン領域9にドーパされた不純物を活性化するために、900～1000℃、10～30secの条件で第1回目のRTAを行なう。

【0054】なお、第1サイドウォール15aと第2サイドウォール16aとの間に薄い窒化膜を介在させてもよい。

【0055】次に、図4dに示す工程で、第1サイドウォール15aを残して、第2サイドウォール16aのみを選択的に除去する。その際、HFの気相エッチングを行なうことにより、選択エッチングを容易に行なうことができる。すなわち、HFの気相エッチングにおいては、BPSG膜等のドーフト酸化膜に対するエッチング速度がNSG膜等のノンドープ酸化膜に対するエッチング速度よりも2桁程度速いので、ドーフト酸化膜を選択的にエッチング除去することが可能となる。なお、このとき、オーバーエッチング量によっても異なるが、ゲート絶縁膜2のうち基板上に露出している部分は除去されることが多い。

【0056】その後、ゲート電極3a、ゲート上保護層4a及び第1サイドウォール15aをマスクとして、リ

ンイオン（P⁺）を、傾き角7～40°、注入エネルギー20～30keV、ドーズ量約5×10¹³cm²の条件で注入して、低濃度ソース・ドレイン領域6を形成する。なお、低濃度ソース・ドレイン領域6に代えてエクステンション領域を形成してもよく、その場合には、砒素イオン（As）を、注入エネルギー10～20keV、ドーズ量5×10¹⁴/cm²の条件で注入する。

【0057】さらに、ゲート電極3、ゲート上保護層4a及び第1サイドウォール15aをマスクとして、ボロンイオン（又はフッ化ボロンイオン）を、傾き角20～40°、注入エネルギー10～50keV、ドーズ量1～5×10¹³/cm²の条件で注入し、パンチスルーストッパ用のポケット注入領域Rpoを形成する。なお、このポケット注入領域Rpoは、必ずしも必要ではない。

【0058】そして、低濃度ソース・ドレイン領域6及びポケット注入領域Rpoにドーパされた不純物を活性化するために、850～900℃、10～30secの条件で第2回目のRTAを行なう。

【0059】その後、本実施形態においても、第1の実施形態と同様に、図2a～図2cに示すセルフアラインコンタクト形成工程を行なう。

【0060】本実施形態においても、第2サイドウォール16aを除去してから全面保護膜12を堆積しているので、第1の実施形態と同様の効果を発揮することができる。すなわち、相隣接するゲート電極3a同士の間隙を全面保護膜12で埋めることなくSAC構造の半導体装置を形成することができる。

【0061】加えて、本実施形態では、高濃度ソース・ドレイン領域9を形成してから第1回目のRTAを行ない、低濃度ソース・ドレイン領域6を形成してから第2回目のRTAを第1回目のRTAよりも低温で行なうので、第1の実施形態に比べて低濃度ソース・ドレイン領域6の拡散範囲を狭めて、短チャネル効果に対する耐性の高いMISトランジスタを形成することができる。すなわち、サリサイド構造を有するMISトランジスタのように高濃度ソース・ドレイン領域9の表面部をシリサイド化したときのリークを抑制し、かつ、接合容量を低減するためには、高濃度ソース・ドレイン領域9の拡散深さをある程度深くすることが好ましい。しかし、そのために活性化のための熱処理を高温で行なうと、低濃度ソース・ドレイン領域6（又はエクステンション領域）が広がりすぎて、短チャネル効果が助長されることになる。それに対し、本実施形態のように、高濃度ソース・ドレイン領域9の活性化のための熱処理を先に行なうことで、低濃度ソース・ドレイン領域6（又はエクステンション領域）、ポケット注入領域Rpo及び高濃度ソース・ドレイン領域9の不純物濃度プロファイルを所望の状態に制御することが容易となり、パンチスルーなどの短チャネル効果を確実に抑制することができる。

【0062】（第3の実施形態）図5a～図6bは、本

発明の第3の実施形態における半導体装置であるNチャネル型MISトランジスタの製造工程を示す断面図である。なお、Pチャネル型MISトランジスタにおいても、MISトランジスタの各部にドーパされる不純物の導電型が異なるだけであり、基本的には図5a～図6bに示す工程と同じ工程を行なう。本実施形態においては、上記第2の実施形態の製造工程に、高濃度ソース・ドレイン領域の表面部をシリサイド化する工程を付加した場合について説明する。そして、基板上にはシリサイド化工程において基板上に露出するシリサイド化されないシリコン層（非シリサイド化領域）がある場合（たとえばメモリセルトランジスタのソース・ドレイン領域）について説明し、そのような場合におけるシリサイド化領域に本発明を適用したときの製造工程について説明するものとする。

【0063】まず、図5aに示す工程で、Si基板1上に、素子分離領域（図示せず）を形成した後、以下の工程によって、素子分離領域によって囲まれる活性領域にMISトランジスタを形成するための工程を行なう。まず、熱酸化工程を行なってSi基板1の主面上に厚みが約3nmのシリコン酸化膜を形成した後、窒化処理を行なって酸窒化シリコンからなるゲート絶縁膜2を形成する。そして、ゲート絶縁膜2の上に、ポリシリコンからなるゲート電極3aと、窒化シリコンからなるゲート上保護層4aとを形成する。このとき、図示しないが、上記従来の技術において説明した図7aに示す工程と同じ工程を行なう。すなわち、ポリシリコン膜及びシリコン酸化膜を堆積した後に、フォトリソグラフィ及びドライエッチングを行なうことにより、ポリシリコン膜及びシリコン酸化膜をパターニングしてゲート電極3a及びゲート上保護層4aを形成する。なお、ゲート電極3aには、N型不純物（Pチャネル型MISトランジスタにはP型不純物）がドーパされている。

【0064】次に、図5bに示す工程で、基板の全面上に、厚みが10～20nmの薄いノンドープ酸化膜15（例えばNSG膜）と、厚みが40～60nmのドーフト酸化膜16（BPSG膜、PSG膜、BSG膜など）とを順に堆積する。

【0065】次に、図5cに示す工程で、異方性エッチングを行って、ゲート電極3aの側面上に第1サイドウォール15aと、第2サイドウォール16aとを形成する。そして、ゲート電極3a、ゲート上保護層4a及び各サイドウォール15a、16aをマスクとして、砒素イオンを、傾き角7°、注入エネルギー30～50keV、ドーズ量3～5×10¹⁵/cm²の条件で注入して、高濃度ソース・ドレイン領域9を形成する。その後、高濃度ソース・ドレイン領域9にドーパされた不純物を活性化するために、900～1000℃、10～30secの条件で第1回目のRTAを行なう。

【0066】なお、第1サイドウォール15aと第2サ

イドウォール16aとの間に薄い窒化膜を介在させてもよい。

【0067】次に、図5dに示す工程で、基板の全面上に、後のシリサイド化工程において非シリサイド化領域（図示しないが、たとえばメモリセルアレイ領域）をマスクするための厚みが100nm程度のシリコン酸化膜17を堆積する。そして、シリコン酸化膜17をパターニングする前に、リンイオンを、傾き角が7°、注入エネルギーが150～200keV、ドーズ量が1.0×10¹⁴～1.0×10¹⁵/cm²の条件でSi基板1内に注入する。これにより、図5dに示すシリサイド化領域においては、ゲート電極3a、ゲート上保護層4a及び各サイドウォール15a、16aに加えて、シリコン酸化膜17がマスクとして機能するので、高濃度ソース・ドレイン領域9の下方で、ゲート電極3aから離れた領域にN⁻領域18が形成される。

【0068】このN⁻領域18を設けることによって、ソース・ドレインの接合容量やリーク電流を低減することができる。

【0069】次に、図6aに示す工程で、フォトリソ膜をマスクとするエッチングにより、シリコン酸化膜17をパターニングする。このとき、図示しないが非シリサイド化領域においてはシリコン酸化膜17が残存しているが、図6aに示すシリサイド化領域においては、シリコン酸化膜17は除去される。

【0070】その後、基板上に、Ti、W等のリフラクトリ金属膜を形成した後、熱処理により、リフラクトリ金属と高濃度ソース・ドレイン領域9の表面部のシリコンとを反応させ、リフラクトリ金属の未反応部分を除去した後、シリサイドの構造を安定な構造に変化させるための熱処理を行なって、高濃度ソース・ドレイン領域9の上にシリサイド膜19を形成する。

【0071】次に、図6bに示す工程で、第1サイドウォール15aを残して、第2サイドウォール16aのみを選択的に除去する。その際、HFの気相エッチングを行なうことにより、選択エッチングを容易に行なうことができる。すなわち、HFの気相エッチングにおいては、BPSG膜等のドーフト酸化膜に対するエッチング速度がNSG膜等のノンドープ酸化膜に対するエッチング速度よりも2桁程度速いので、ドーフト酸化膜を選択的にエッチング除去することが可能となる。

【0072】その後、ゲート電極3a、ゲート上保護層4a及び第1サイドウォール15aをマスクとして、リンイオン（P⁺）を、傾き角7～40°、注入エネルギー20～30keV、ドーズ量約5×10¹³/cm²の条件で注入して、低濃度ソース・ドレイン領域6を形成する。なお、低濃度ソース・ドレイン領域6に代えてエクステンション領域を形成してもよく、その場合には、砒素イオン（As）を、注入エネルギー10～20keV、ドーズ量5×10¹³/cm²の条件で注入する。

【0073】さらに、ゲート電極3、ゲート上保護層4a及び第1サイドウォール15aをマスクとして、ボロニオン（又はフッ化ボロニオン）を、傾き角20°～40°、注入エネルギー10～50keV、ドーズ量1～5×10¹⁸ cm⁻²の条件で注入し、パンチスルーストッパー用のポケット注入領域Rpoを形成する。なお、このポケット注入領域Rpoは、必ずしも必要ではない。

【0074】そして、低濃度ソース・ドレイン領域6及びポケット注入領域Rpoにドーパされた不純物を活性化するために、850～900℃、10～30secの条件で第2回目のRTAを行なう。

【0075】その後、本実施形態においても、第1の実施形態と同様に、図2a～図2cに示すセルフアラインコンタクト形成工程を行なう。

【0076】なお、上述の説明においては、第2の実施形態の製造工程にシリサイド化工程を付加した場合について説明したが、第1の実施形態の製造工程にシリサイド化工程を付加することもできる。その場合には、図1cに示す工程の後に、シリコン酸化膜17を堆積してからイオン注入によりN⁻領域18を形成した後に、シリコン酸化膜17をパターニングする。その後、図6a、図6bに示すようなシリサイド化工程を行なってから、図1dに示す工程に進めばよい。

【0077】また、図5dに示す工程を行なうタイミングは、非シリサイド化領域を覆うフォトレジスト膜を形成した後であっても、フォトレジスト膜を形成する前であってもよいものとする。

【0078】本実施形態によると、上記第1、第2の実施形態の効果に加えて、以下の効果を発揮することができる。

【0079】すなわち、非シリサイド化領域をマスクするためのシリコン酸化膜17をパターニングする直前の状態を利用して、高濃度ソース・ドレイン領域9の下方にN⁻領域18を設けたので、高濃度ソース・ドレイン領域9の表面部がシリサイド化されることによってリーク電流が増大するという不具合を抑制できる。また、高濃度ソース・ドレイン領域9の接合容量を低減することで、MISトランジスタの動作の高速化をも実現することができる。

【0080】

【発明の効果】本発明の半導体装置の製造方法によれば、ゲート電極の側面上に互いにエッチング選択比の高い材料からなる第1、第2のサイドウォールを積層しておき、両者を付設した段階で高濃度不純物拡散領域を設け、第2サイドウォールを除去した状態でSAC形成用の全面保護膜を形成するようにしたので、LDD構造のトランジスタが出来ると共に、ゲート電極間が狭くなっ

てもソース・ドレインのコンタクトが十分とれる半導体装置が実現できる。

【図面の簡単な説明】

【図1】本発明の第1の実施形態における半導体装置の製造工程のうち低濃度ソース・ドレイン領域等を形成するまでの工程を示す断面図である。

【図2】本発明の第1の実施形態における半導体装置の製造工程のうちセルフアラインコンタクトを形成する工程を示す断面図である。

【図3】本発明の第1の実施形態におけるゲート電極同士が近接している場合の全面保護膜の形成状態を示す断面図である。

【図4】本発明の第2の実施形態における半導体装置の製造工程のうち低濃度ソース・ドレイン領域等を形成するまでの工程を示す断面図である。

【図5】本発明の第3の実施形態における半導体装置の製造工程のうちリーク防止用のN⁻領域を形成するまでの工程を示す断面図である。

【図6】本発明の第3の実施形態における半導体装置の製造工程のうちシリサイド化工程を示す断面図である。

【図7】従来の一般的なセルフアラインコンタクト構造を有する半導体装置の製造工程を示す断面図である。

【図8】従来の一般的なセルフアラインコンタクト構造を有する半導体装置の製造工程によって形成される半導体装置の不具合を示す断面図である。

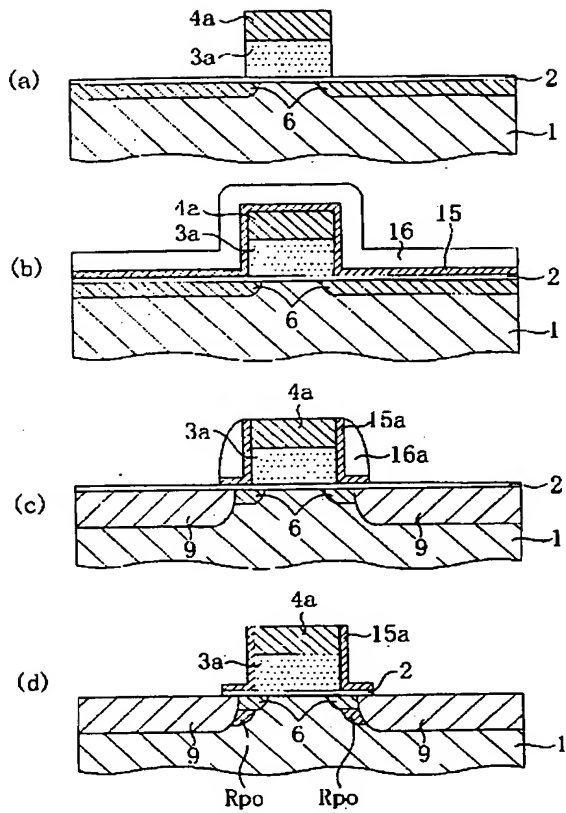
【図9】従来の全面被覆窒化膜を設けたときの半導体装置の製造工程の一部を示す断面図である。

【図10】従来の半導体装置におけるゲート電極同士が近接している場合の全面被覆窒化膜の形成状態を示す断面図である。

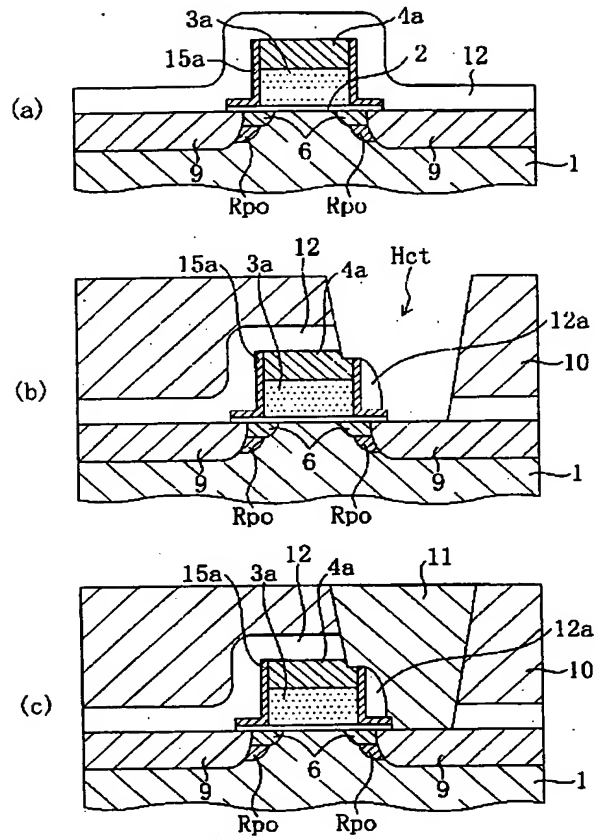
【符号の説明】

- 1 Si基板
- 2 ゲート酸化膜
- 3a ゲート電極
- 4a ゲート上保護層
- 6 低濃度ソース・ドレイン領域
- 9 高濃度ソース・ドレイン領域
- 10 層間絶縁膜
- 11 プラグ電極
- 12 全面保護膜
- 15 ノンドープ酸化膜
- 15a 第1サイドウォール
- 16 ドープド酸化膜
- 16a 第2サイドウォール
- 17 シリコン酸化膜
- 18 N⁻領域
- 19 シリサイド膜

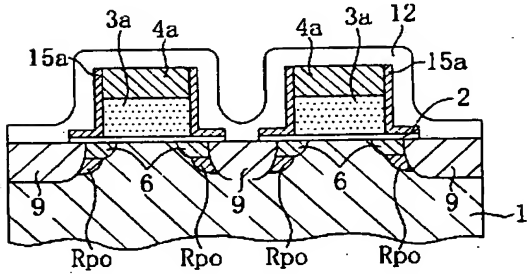
【図1】



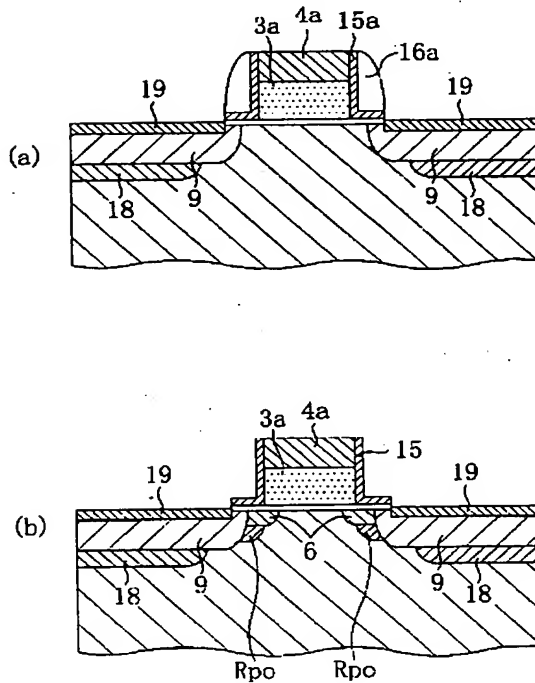
【図2】



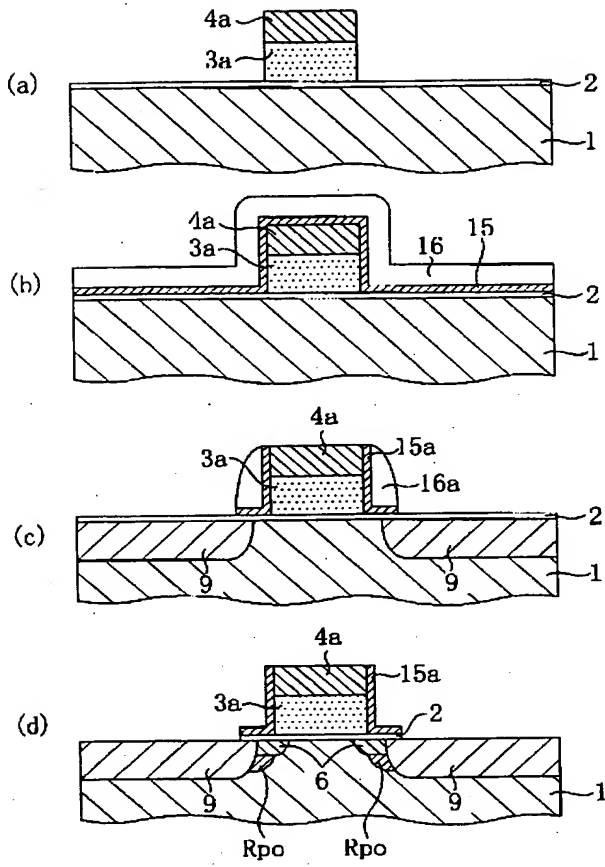
【図3】



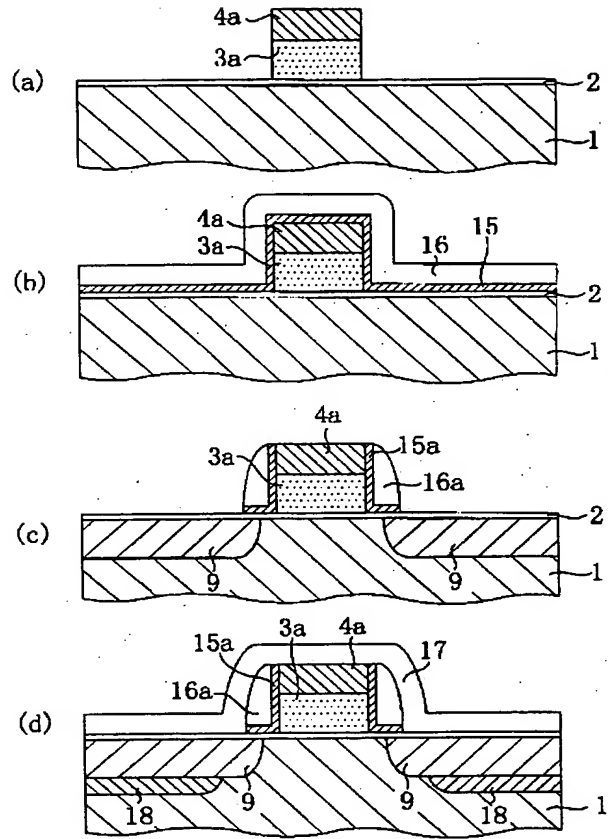
【図6】



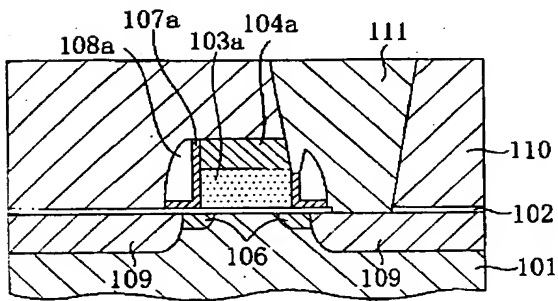
【図4】



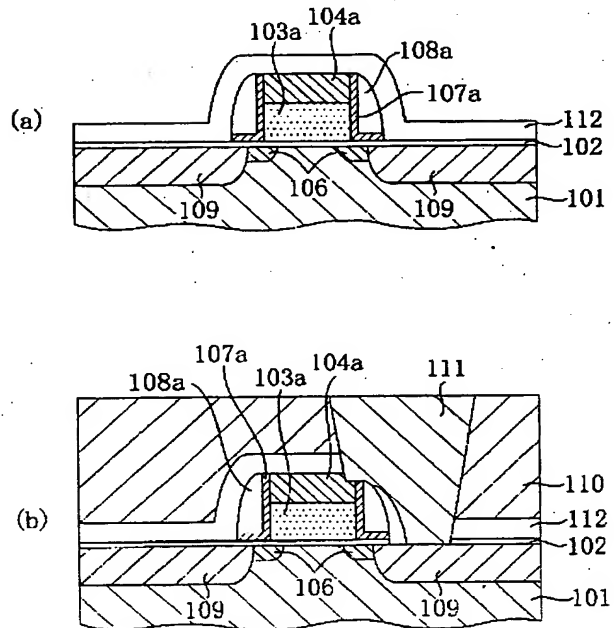
【図5】



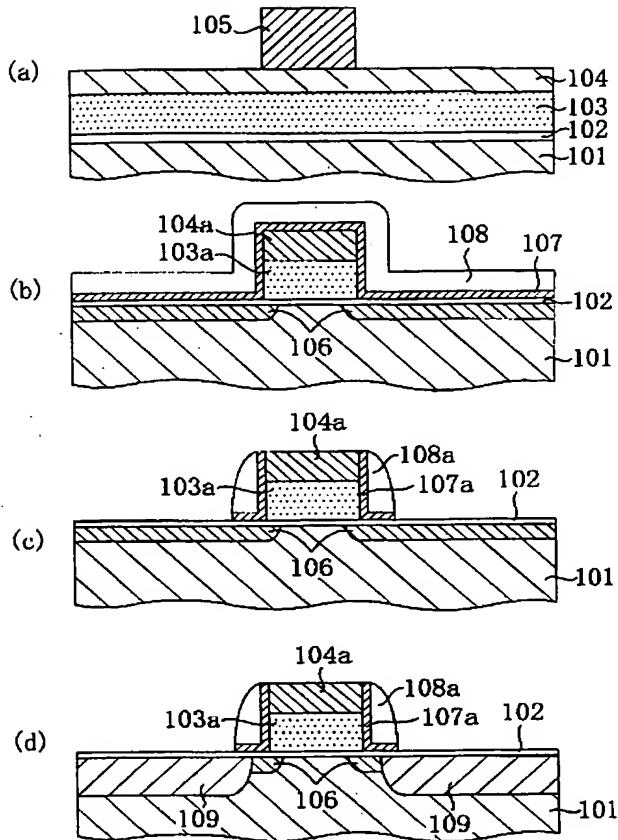
【図8】



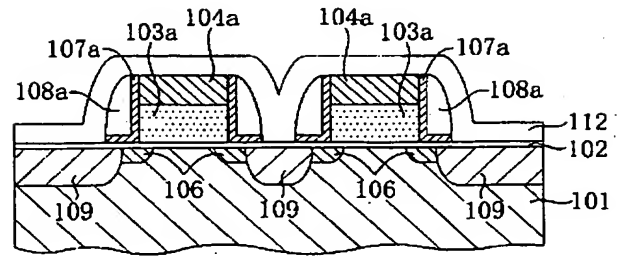
【図9】



【図 7】



【図 10】



フロントページの続き

(72)発明者 上田 壮彦
大阪府高槻市幸町 1 番 1 号 松下電子工業
株式会社内
(72)発明者 清水 但美
大阪府高槻市幸町 1 番 1 号 松下電子工業
株式会社内

(72)発明者 加藤 義明
大阪府高槻市幸町 1 番 1 号 松下電子工業
株式会社内
(72)発明者 小畑 辰也
大阪府高槻市幸町 1 番 1 号 松下電子工業
株式会社内
(72)発明者 嶋崎 豊幸
大阪府高槻市幸町 1 番 1 号 松下電子工業
株式会社内